

A01

(19) KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11)Publication number: 000001625 A
(43)Date of publication of application:
15.01.2000

(21)Application number: 980021967
(22)Date of filing: 12.06.1998

(71)Applicant: SAMSUNG ELECTRONICS
CO., LTD.

(72)Inventor: JANG, GYEONG HUI
LEE, EUN HA

(51)Int. Cl. H01L 21/28

(54) METHOD FOR FORMING MOS TRANSISTORS HAVING BI-LAYER SPACER

(57) Abstract:

PURPOSE: A forming method of MOS transistors having bi-layer spacer is provided to decrease a resistance of gate electrode by forming the spacer at low temperature.

CONSTITUTION: The method comprises the steps of: forming a gate oxide layer(23) on a semiconductor substrate(21); forming a gate pattern (30) having conductive patterns(25,27) and a gate protection pattern(29) on the gate oxide layer; sequentially forming a first insulating layer(31) and a second insulating layer(33) on the resultant structure by LPCVD(low pressure CVD), wherein the deposition temperature of the second insulating layer(33) is higher than that of the first insulating layer(31); and forming bi-layer spacer(S) including a first insulating pattern(31a) and a second insulating pattern(33a) at the sidewalls of the gate pattern(30) by anisotropic etching the first and the second insulating layers (31,33).

COPYRIGHT 2000 KIPO

Legal Status

Date of request for an examination (19980612)

Final disposal of an application (registration)

Date of final disposal of an application (20000831)

Patent registration number (1002757330000)

Date of registration (20000923)

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

| | | |
|--|--|-----------------------------|
| (51) Int. Cl. ⁸ H01L 21/28 | (11) 공개번호 (43) 공개일자 | 특2000-0001625 2000년1월15일 |
| (21) 출원번호 | 10-1998-0021967 | |
| (22) 출원일자 | 1998년06월12일 | |
| (71) 출원인 | 삼성전자 주식회사 윤종용 | |
| (72) 발명자 | 경기도 수원시 팔달구 매탄3동 416 장경화 경기도 수원시 팔달구 매탄동 172-72 이은하 | |
| (74) 대리인 | 충청남도 천안시 신부동 541 동아 태조아파트 106동 301호 권석훈, 이영필, 정상빈 | |

심사청구 : 있음

(54) 2중층 스페이서를 갖는 모스 트랜지스터 형성방법

요약

본 발명은 고집적 반도체소자의 모스 트랜지스터 형성방법에 관한 것이다. 본 발명은 게이트 패턴을 형성한 후에 게이트 패턴을 구성하는 도전성 물질막이 변형되거나 산화되는 현상을 방지할 수 있는 제1 온도에서 제1 절연체막을 형성하고 제1 절연체막 상에 제1 온도보다 높은 제2 온도에서 치밀한 막질을 갖는 제2 절연체막을 형성한다. 제2 절연체막 및 제1 절연체막을 연속적으로 이방성 식각하여 게이트 패턴 측면에 제1 절연체막 및 제2 절연체막으로 구성된 2중층 스페이서를 형성한다. 본 발명에 따르면, 제1 절연체막을 저온에서 형성함으로써 게이트 패턴을 구성하는 도전성 물질막이 변형되는 현상을 억제시킬 수 있다. 따라서, 게이트 전극의 저항이 증가하는 현상을 방지할 수 있다.

도표도

도8

영세서

도면의 간단한 설명

도 1 내지 도 3은 종래기술에 따른 모스 트랜지스터를 형성하는 방법을 설명하기 위한 단면도들이다.
도 4 내지 도 8은 본 발명에 따른 모스 트랜지스터를 형성하는 방법을 설명하기 위한 단면도들이다.
도 9는 종래기술 및 본 발명에 따라 형성된 모스 트랜지스터들의 게이트 전극 저항을 측정한 그래프이다.

발명의 상세한 설명

발명의 목적

발명에 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체소자의 제조방법에 관한 것으로, 특히 2중층 스페이서(bi-layer spacer)를 갖는 모스 트랜지스터를 형성하는 방법에 관한 것이다.

반도체소자의 집적도가 증가함에 따라 반도체소자에 사용되는 모스 트랜지스터의 크기 또한 점점 작아지고 있다. 모스 트랜지스터의 크기가 작아지면 짧은 채널효과(short channel effect)가 발생한다. 짧은 채널 효과는 모스 트랜지스터의 전기적인 특성, 예컨대 소오스 영역 및 드레인 영역 사이의 누설전류 특성을 저하시킬뿐만 아니라 핫캐리어 효과에 기인하는 모스 트랜지스터의 신뢰성을 저하시킨다. 따라서, 최근의 모스 트랜지스터는 엘디디(LDD; lightly doped drain)형의 드레인 영역을 널리 채택하고 있다. 엘디디형의 드레인 영역을 형성하기 위해서는 게이트 전극의 측면에 스페이서를 형성하는 공정이 필수적으로 사용된다. 또한, 모스 트랜지스터의 게이트 전극은 반도체소자의 동작속도를 향상시키기 위하여 비저항이 낮은 금속실리사이드막을 포함하는 도전성 물질막으로 형성한다.

도 1 내지 도 3은 종래의 모스 트랜지스터를 형성하는 방법을 설명하기 위한 단면도들이다.

도 1을 참조하면, 반도체기판(1) 상에 게이트 절연막(3)을 형성하고, 상기 게이트 절연막(3)의 소정영역 상에 차례로 적층된 폴리실리콘막(5), 타이타늄 실리사이드막(7) 및 게이트 보호막(9)으로 구성된 게이트 패턴(10)을 형성한다. 상기 게이트 보호막(9)은 실리콘산화막 또는 실리콘질화막으로 형성한다.

도 2 및 도 3을 참조하면, 상기 게이트 패턴(10)이 형성된 반도체기판 전면에 소정의 두께를 갖는 실리콘 질화막(11)을 형성한다. 여기서, 상기 실리콘질화막(11)은 실리콘산화막과 같은 다른 종류의 절연체막에 대한 식각선택비(etch selectivity)를 증가시키기 위하여 치밀한 막질(dense film quality)을 갖도록 형성하는 것이 바람직하다. 따라서, 상기 실리콘질화막(11)은 750°C 내지 800°C의 고온에서 실시되는 저압 화학기상증착(LPCVD) 공정으로 형성한다. 이때, 상기 실리콘질화막(11)을 형성하는 동안 타이타늄 실리사이드막(7)은 쉽게 산화되거나 변형된다. 따라서, 도 2에 도시된 바와 같이 변형된 타이타늄 실리사이드막(7a)이 형성될과 동시에, 상기 변형된 타이타늄 실리사이드막(7a) 측벽에 타이타늄 산화막과 같은 원하지 않는 절연체막(7b) 등이 형성된다. 결과적으로, 전기적인 신호를 전달하는 데 실제적으로 기여하는 상기 변형된 타이타늄 실리사이드막(7a)의 폭은 초기의 타이타늄 실리사이드막(7)의 폭보다 감소되어 폴리실리콘막(5) 및 변형된 타이타늄 실리사이드막(7a)으로 구성된 게이트 전극의 저항이 증가된다. 이어서, 상기 실리콘질화막(11)을 이방성 식각하여 게이트 패턴(10) 측벽에 스페이서(11a)를 형성한다.

상술한 바와 같이 증래의 모스 트랜지스터 형성방법에 의하면, 스페이서를 형성하기 위한 실리콘질화막을 750°C 내지 800°C의 고온에서 형성하므로 게이트 전극을 구성하는 타이타늄 실리사이드막이 변형된다. 이에 따라, 게이트 전극의 저항이 증가되어 반도체소자의 동작특성을 저하시킨다. 이러한 현상은 고집적 반도체소자에 사용되는 모스 트랜지스터의 경우에 더욱 심하게 나타난다. 이는, 고집적 반도체소자의 모스 트랜지스터가 짧은 채널길이를 갖기 때문이다. 다시 말해서, 고집적 반도체소자에 사용되는 모스 트랜지스터의 게이트 전극의 폭이 좁기 때문이다.

발명이 이루고자하는 기술적 과제

본 발명의 목적은 게이트 패턴 측벽에 스페이서를 형성하는 동안 게이트 패턴의 폭이 감소하는 현상을 방지할 수 있는 고집적 반도체소자에 적합한 모스 트랜지스터의 형성방법을 제공하는 데 있다.

발명의 구성 및 작용

상기 목적을 달성하기 위하여 본 발명은 게이트 절연체막의 소정영역 상에 게이트 패턴이 형성된 반도체기판 전면에 게이트 패턴을 구성하는 물질막이 변형되지 않는 낮은 온도, 즉 제1 온도에서 제1 절연체막을 형성하고, 상기 제1 절연체막 상에 상기 제1 온도보다 높은 제2 온도에서 상기 제1 절연체막보다 치밀한 막질을 갖는 제2 절연체막을 형성하고, 상기 제2 절연체막 및 상기 제1 절연체막을 연속적으로 이방성 식각하여 상기 게이트 전극 또는 게이트 패턴 측벽에 제1 절연체막 및 제2 절연체막으로 구성된 2중층 스페이서를 형성하는 것을 특징으로 한다. 상기 제1 및 제2 절연체막은 각각 폴리실리콘막이나 화학기상증착 공정으로 인한 실리콘질화막 및 저압 화학기상증착 공정으로 인한 실리콘질화막으로 형성하는 것이 바람직하다. 상기 게이트 패턴은 도전막 및 게이트 보호막을 차례로 적층한 후에 게이트 보호막 및 도전막을 연속적으로 패터닝하여 형성한다. 상기 게이트 보호막은 실리콘산화막 또는 실리콘질화막으로 형성하는 것이 바람직하다. 여기서, 상기 게이트 보호막을 형성하는 공정은 생략할 수도 있다. 상기 도전막은 도우핑된 폴리실리콘막 및 금속 실리사이드막을 차례로 적층시키어 형성하거나, 도우핑된 폴리실리콘막 및 금속막을 차례로 적층시키어 형성할 수도 있다. 또한, 상기 도전막은 금속막만으로 형성할 수도 있다. 상기 금속 실리사이드막은 타이타늄 실리사이드막, 텅스텐 실리사이드막 또는 탄탈을 실리사이드막으로 형성하는 것이 바람직하다. 상기 금속막은 텅스텐막, 타이타늄 질화막, 탄탈륨막 또는 텅스텐 질화막으로 형성하는 것이 바람직하다.

본 발명에 따르면, 제1 절연체막이 게이트 패턴을 구성하는 도전막, 특히 금속 실리사이드막 또는 금속막이 변형되지 않는 저온에서 형성되므로 도전막으로 구성되는 게이트 전극의 단면적이 감소하는 현상을 방지할 수 있다. 이에 따라, 스페이서를 형성한 후에 게이트 전극의 저항이 증가하는 현상을 억제시킬 수 있으므로 고집적 반도체소자의 동작특성을 개선시킬 수 있는 모스 트랜지스터를 구현할 수 있다.

이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다. 그러나, 본 발명의 실시예는 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 아래에서 상술하는 실시예에 한정되는 것으로 해석되어서는 안된다. 본 발명의 실시예는 당 업계에서 평균적인 지식을 가진 자에게 본 발명을 보다 완전하게 설명하기 위해서 제공되어지는 것이다. 도면에서 총이나 영역들의 두께는 명세서의 명확성을 위해 과장되어진 것이다. 도면상에서 동일한 부호는 동일한 요소를 지칭한다. 또한, 어떤 총이 상기 다른 총 또는 기판의 "상부"에 있다고 기재된 경우, 상기 어떤 총이 상기 다른 총 또는 기판의 상부에 직접 존재할 수도 있고, 그 사이에 제3의 총이 개재될 수도 있다.

도 4를 참조하면, 반도체기판(21) 상에 게이트 절연체막(23), 예컨대 실리콘산화막을 형성한다. 상기 게이트 절연체막(23)이 형성된 반도체기판 전면에 도전막 및 게이트 보호막을 차례로 형성한다. 상기 도전막은 폴리실리콘막 및 금속 실리사이드막을 차례로 적층시키어 형성한다. 상기 금속 실리사이드막 대신에 금속막을 형성할 수도 있다. 또한, 상기 도전막은 금속막만으로 형성할 수도 있다. 상기 폴리실리콘막은 불순물로 도우핑된 폴리실리콘막으로 형성하는 것이 바람직하고, 상기 금속 실리사이드막은 내화성 금속 및 실리콘을 함유하는 물질막, 예컨대 타이타늄 실리사이드막, 텅스텐 실리사이드막 또는 탄탈륨 실리사이드막으로 형성하는 것이 바람직하다. 또한, 상기 금속막은 텅스텐막, 타이타늄 질화막, 탄탈륨막 또는 텅스텐 질화막으로 형성하는 것이 바람직하고, 상기 게이트 보호막은 실리콘 질화막 또는 실리콘 산화막으로 형성하는 것이 바람직하다. 상기 게이트 보호막은 화학기상증착 공정으로 형성하는 것이 바람직하다. 여기서, 상기 게이트 보호막을 형성하는 공정은 생략할 수도 있다. 이어서, 상기 게이트 보호막 및 도전막을 연속적으로 패터닝하여 게이트 절연체막(23)의 소정영역 상에 도전막 패턴 및 게이트 보호막 패턴(29)으로 구성되는 게이트 패턴(30)을 형성한다. 상기 도전막 패턴은 폴리실리콘막 패턴(25) 및 금속 실리사이드막 패턴(27)으로 구성될 수도 있고, 폴리실리콘막 패턴(25) 및 금속막 패턴으로 구성될 수도 있다. 또한, 상기 도전막 패턴은 금속막 패턴만으로 형성될 수도 있다. 상기 게이트 보호막을 형성하지 않는 경우에는 게이트 패턴(30)이 도전막 패턴만으로 형성된다.

도 5를 참조하면, 상기 게이트 패턴(30)이 형성된 반도체기판 전면에 제1 절연체막(31) 및 제2 절연체막(33)을 차례로 형성한다. 상기 제1 절연체막(31) 및 제2 절연체막(33)은 모두 실리콘 질화막으로

형성하는 것이 바람직하다. 그러나, 제1 절연체막(31) 및 제2 절연체막(33)의 증착온도는 서로 달라야 한다. 예를 들면, 제1 절연체막(31)으로 사용되는 실리콘질화막은 상기 게이트 패턴(30)을 구성하는 도전성 물질막을, 특히 금속 실리콘사이드막 패턴(27) 또는 금속막 패턴이 변형되지 않는 온도범위, 예컨대 500°C 이하의 제1 온도에서 플라즈마 증가형 화학기상증착(PECVD; plasma enhanced CVD) 공정으로 형성하는 것이 바람직하고, 제2 절연체막(33)으로 사용되는 실리콘질화막은 상기 제1 온도보다 높은 제2 온도, 예컨대 750°C 내지 800°C의 온도에서 저압 화학기상증착(LPCVD; low pressure CVD) 공정으로 형성하는 것이 바람직하다. 이와 같이 제1 및 제2 절연체막(31, 33)을 형성하면, 게이트 패턴(30)을 구성하는 물질막, 특히 금속 실리콘사이드막 패턴(27) 또는 금속막 패턴이 산화되거나 변형되는 현상을 방지할 수 있을 뿐만 아니라, 제1 절연체막(31)보다 치밀한 막질(dense film quality)을 갖는 제2 절연체막(33)을 얻을 수 있다. 이에 따라, 도 5에 도시된 바와 같이 게이트 패턴(30)을 구성하는 폴리실리콘막 패턴(25) 및 금속 실리콘사이드막 패턴(27)의 폭이 변하는 것을 방지할 수 있다.

도 6을 참조하면, 상기 제2 절연체막(33) 및 상기 제1 절연체막(31)을 연속적으로 이방성 식각하여 상기 게이트 패턴(30)의 측벽에 제1 절연체막 패턴(31a) 및 제2 절연체막 패턴(33a)으로 구성된 2중층 스페이서(S)를 형성한다. 이때, 상기 게이트 패턴(30) 양 옆의 게이트 절연체막(23)이 식각되도록 과도한 식각(over etch) 공정을 실시함으로써 반도체기판(21)의 표면을 노출시킬 수도 있다.

도 7 및 도 8은 상기 스페이서(S)를 형성한 후에 자기정렬형 콘택홀(H; self-aligned contact hole)을 형성하는 단계를 설명하기 위한 단면도들이다. 구체적으로 설명하면, 상기 스페이서(S)가 형성된 반도체기판 전면에 상기 게이트 패턴(30) 및 상기 스페이서(S)를 이온주입 마스크로 사용하여 불순물 이온을 주입한 후, 게이트 패턴(30) 양 옆의 반도체기판(21) 표면에 소오스/드레인 영역(도시하지 않음)을 형성한다. 이어서, 상기 소오스/드레인 영역이 형성된 반도체기판 전면에 약 100 Å 정도의 얇은 식각저지막(35; etch stop layer) 및 층간절연막(37)을 차례로 형성한다. 상기 층간절연막(37)은 약 850°C의 온도에서 플로우되어 평탄화된 BPSG막으로 형성하는 것이 바람직하고, 상기 식각저지막은 저압 화학기상증착 공정으로 형성하는 것이 바람직하다. 이어서, 자기정렬형 콘택홀 형성용 마스크를 사용하여 상기 층간절연막(37)을 식각함으로써 상기 게이트 패턴(30)의 가장자리, 스페이서(S), 및 반도체기판(21) 상부의 식각저지막(35)을 노출시킨다. 다음에, 상기 노출된 식각저지막(35)을 선택적으로 식각하여 상기 게이트 패턴(30)의 한 쪽 옆에 형성된 소오스/드레인 영역을 노출시키는 자기정렬형 콘택홀(H)을 형성한다.

도 9는 상기한 본 발명의 실시예 및 종래기술에 따라 형성된 MOS 트랜지스터들의 게이트 전극의 면저항(sheet resistance)을 측정하여 얻은 그래프이다. 여기서, 가로축은 게이트 전극의 면저항을 나타내고, 세로축은 면저항의 누적분포율(cumulative distribution rate)을 나타낸다. 본 발명에 따른 실시예에서 게이트 전극을 구성하는 폴리실리콘막 및 금속 실리콘사이드막은 각각 1000 Å의 두께를 갖는 도우핑된 폴리실리콘막 및 1000 Å의 두께를 갖는 타이타늄 실리콘사이드막으로 형성하였다. 상기 폴리실리콘막은 POCl_3 를 사용하여 도우핑시켰고, 상기 타이타늄 실리콘사이드막은 400°C의 온도에서 스퍼터링 공정으로 형성하였다. 또한, 스페이서를 형성하기 위한 제1 절연체막 및 제2 절연체막은 각각 200 Å의 두께를 갖는 실리콘질화막 및 500 Å의 두께를 갖는 실리콘질화막으로 형성하였다. 이때, 상기 제1 절연체막으로 사용되는 실리콘질화막은 400°C에서 플라즈마 증가형 화학기상증착 공정으로 형성하였고, 상기 제2 절연체막으로 사용되는 실리콘질화막은 750°C의 온도에서 저압 화학기상증착 공정으로 형성하였다. 상기 플라즈마 증가형 화학기상증착 공정은 사일레인(SiH_4) 가스 및 암모니아(NH_3) 가스를 반응 가스로 사용하여 질소 플라즈마 분위기에서 실시하였으며, 상기 저압 화학기상증착 공정은 0.3Torr의 저압에서 다이크로로사일레인(SiH_2Cl_2) 가스 및 암모니아 가스를 반응 가스로 사용하여 실시하였다. 또한, 상기 폴리실리콘막 및 타이타늄 실리콘사이드막으로 이루어진 게이트 전극에 대한 테스트 패턴의 폭은 마스크 상에서 0.17 μm 이었다. 한편, 종래기술에 있어서, 게이트 전극을 구성하는 폴리실리콘막 및 금속 실리콘사이드막은 본 발명과 동일한 공정 조건에서 형성하였고, 스페이서를 형성하기 위한 실리콘질화막은 750°C의 온도에서 저압 화학기상증착 공정을 사용하여 700 Å의 두께로 형성하였다.

도 9를 참조하면, 종래기술에 따른 MOS 트랜지스터의 게이트 전극의 면저항은 측정된 시료들의 약 80%가 5.5(Ω/\square) 내지 7(Ω/\square)의 값을 보이는 반면에, 본 발명에 따른 MOS 트랜지스터의 게이트 전극의 면저항은 측정된 시료들의 약 80%가 3.3(Ω/\square) 내지 4.5(Ω/\square)의 값을 보인다. 결과적으로, 본 발명은 스페이서를 형성하기 위한 절연체막을 형성할 때, 게이트 전극이 변형되거나 산화되는 현상을 억제시킬 수 있다. 따라서, 게이트 전극의 면저항이 증가하는 현상을 방지할 수 있다.

본 발명은 상기 실시예에 한정되지 않고 당업자의 수준에서 그 변형 및 개량이 가능하다.

본 발명의 효과

상술한 바와 같이 본 발명에 따르면, 스페이서를 형성하기 위한 제1 절연체막을 저온에서 형성함으로써, 게이트 전극이 변형되거나 산화되는 현상을 방지할 수 있다. 이에 따라, 게이트 전극의 실제적인 폭이 감소하는 현상을 억제시킬 수 있으므로, 스페이서를 형성한 후에 게이트 전극의 면저항이 증가하는 현상을 방지할 수 있다. 상기한 효과는 채널길이와 짧은 MOS 트랜지스터에서 두드러지게 나타난다. 결과적으로, 본 발명은 고집적 반도체소자에 사용되는 MOS 트랜지스터를 형성하는 데 적합하다.

(5) 청구의 범위

청구항 1. 반도체기판 상에 게이트 절연체막을 형성하는 단계;

상기 게이트 절연체막의 소정영역 상에 게이트 패턴을 형성하는 단계;

상기 게이트 패턴이 형성된 반도체기판 전면에 제1 온도 및 상기 제1 온도보다 높은 제2 온도에서 각각 제1 절연체막 및 제2 절연체막을 차례로 형성하는 단계; 및

상기 제2 및 제1 절연체막을 연속적으로 이방성 식각하여 상기 게이트 패턴 측벽에 상기 제1 절연체막 및

상기 제2 절연체막으로 구성된 2중층 스페이서를 형성하는 단계를 포함하는 반도체소자의 모스 트랜지스터 형성방법.

청구항 2. 제1항에 있어서, 상기 게이트 패턴을 형성하는 단계는

상기 게이트 절연체막이 형성된 반도체기판 전면에 도전막 및 게이트 보호막을 차례로 형성하는 단계;

상기 게이트 보호막 및 상기 도전막을 연속적으로 패터닝하여 도전막 패턴 및 게이트 보호막 패턴으로 구성된 게이트 패턴을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체소자의 모스 트랜지스터 형성방법.

청구항 3. 제2항에 있어서, 상기 도전막은 폴리실리콘막 및 금속 실리사이드막을 차례로 적층시키어 형성하는 것을 특징으로 하는 반도체소자의 모스 트랜지스터 형성방법.

청구항 4. 제2항에 있어서, 상기 도전막은 폴리실리콘막 및 금속막을 차례로 적층시키어 형성하는 것을 특징으로 하는 반도체소자의 모스 트랜지스터 형성방법.

청구항 5. 제2항에 있어서, 상기 도전막은 금속막인 것을 특징으로 하는 반도체소자의 모스 트랜지스터 형성방법.

청구항 6. 제3항에 있어서, 상기 금속 실리사이드막은 타이타늄 실리사이드막, 텅스텐 실리사이드막 및 탄탈륨 실리사이드막으로 이루어진 일 군중 선택된 어느 하나로 형성하는 것을 특징으로 하는 반도체소자의 모스 트랜지스터 형성방법.

청구항 7. 제4항 또는 제5항에 있어서, 상기 금속막은 텅스텐막, 타이타늄 질화막, 탄탈륨막 및 텅스텐 질화막으로 이루어진 일 군중 선택된 어느 하나인 것을 특징으로 하는 반도체소자의 모스 트랜지스터 형성방법.

청구항 8. 제2항에 있어서, 상기 게이트 보호막은 실리콘질화막 및 실리콘산화막중 어느 하나로 형성하는 것을 특징으로 하는 반도체소자의 모스 트랜지스터 형성방법.

청구항 9. 제1항에 있어서, 상기 게이트 패턴을 형성하는 단계는

상기 게이트 절연체막이 형성된 반도체기판 전면에 도전막을 형성하는 단계; 및

상기 도전막을 패터닝하여 게이트 패턴을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체소자의 모스 트랜지스터 형성방법.

청구항 10. 제9항에 있어서, 상기 도전막은 폴리실리콘막 및 금속 실리사이드막을 차례로 적층시키어 형성하는 것을 특징으로 하는 반도체소자의 모스 트랜지스터 형성방법.

청구항 11. 제9항에 있어서, 상기 도전막은 폴리실리콘막 및 금속막을 차례로 적층시키어 형성하는 것을 특징으로 하는 반도체소자의 모스 트랜지스터 형성방법.

청구항 12. 제9항에 있어서, 상기 도전막은 금속막인 것을 특징으로 하는 반도체소자의 모스 트랜지스터 형성방법.

청구항 13. 제10항에 있어서, 상기 금속 실리사이드막은 타이타늄 실리사이드막, 텅스텐 실리사이드막 및 탄탈륨 실리사이드막으로 이루어진 일 군중 선택된 어느 하나로 형성하는 것을 특징으로 하는 반도체소자의 모스 트랜지스터 형성방법.

청구항 14. 제11항 또는 제12항에 있어서, 상기 금속막은 텅스텐막, 타이타늄 질화막, 탄탈륨막 및 텅스텐 질화막으로 이루어진 일 군중 선택된 어느 하나인 것을 특징으로 하는 반도체소자의 모스 트랜지스터 형성방법.

청구항 15. 제1항에 있어서, 상기 제1 온도는 500℃보다 낮은 온도인 것을 특징으로 하는 반도체소자의 모스 트랜지스터 형성방법.

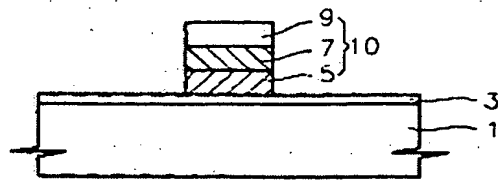
청구항 16. 제1항에 있어서, 상기 제2 온도는 750℃ 내지 800℃인 것을 특징으로 하는 반도체소자의 모스 트랜지스터 형성방법.

청구항 17. 제1항에 있어서, 상기 제1 절연체막은 플라즈마 증착형 화학기상증착(PECVD: plasma enhanced CVD) 공정으로 형성된 실리콘질화막인 것을 특징으로 하는 반도체소자의 모스 트랜지스터 형성방법.

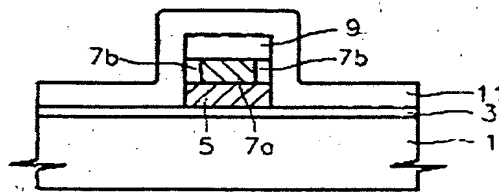
청구항 18. 제1항에 있어서, 상기 제2 절연체막은 저압 화학기상증착(LPCVD: low pressure CVD) 공정으로 형성된 실리콘질화막인 것을 특징으로 하는 반도체소자의 모스 트랜지스터 형성방법.

도면

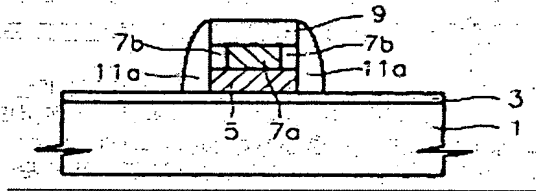
도 11



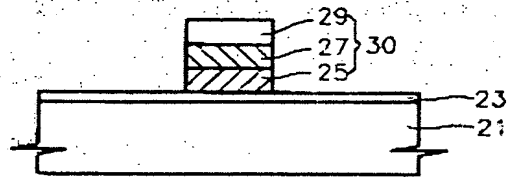
도 12



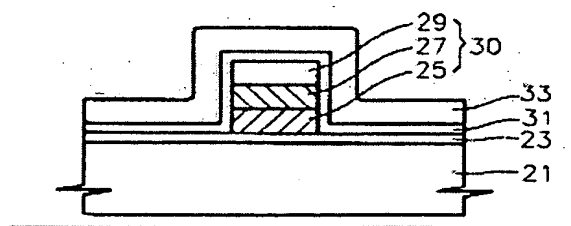
도 13



도 14



도 15



출력 일자: 2004/8/27

<<안내>>

문의사항이 있으시면 ☎ 042-481-5725 로 문의하시기 바랍니다.

특허청 직원 모두는 깨끗한 특허행정의 구현을 위하여 최선을 다하고 있습니다. 만일 업무처리과정에서 직원의 부조리행위가 있으면 신고하여 주시기 바랍니다.

▶ 홈페이지(www.kipo.go.kr)내 부조리신고센터